

CLIPPEDIMAGE= JP405003173A

PAT-NO: JP405003173A

DOCUMENT-IDENTIFIER: JP 05003173 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND
MANUFACTURE THEREOF

PUBN-DATE: January 8, 1993

INVENTOR-INFORMATION:

NAME
OOKA, HIDEYUKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP03186746

APPL-DATE: July 26, 1991

INT-CL (IPC): H01L021/28;H01L027/092

US-CL-CURRENT: 148/DIG.53

ABSTRACT:

PURPOSE: To enable a semiconductor integrated circuit device provided with MOSFETs as component elements to be enhanced in high speed operation and ESD resistance.

CONSTITUTION: A buffer circuit directly connected to an external device containing a first N channel MOSFET is formed in a buffer circuit region 121, and an inner circuit which contains a second N channel MOSFET is formed in an inner circuit region 122. The gate electrodes 106a and 106b of the first and the second MOSFET are of polycide structure containing titanium silicide films 105a and 105b and low in resistance, and the source and the drain region of the second MOSFET are of polycide structure containing a titanium silicide film

- 112b and low in resistance. A region which is formed of only an N<SP>+</SP> source/ drain diffusion layer 113a and not lessened in resistance is provided between the gate electrode 106a and the titanium silicide film 112a in the source/drain region of the first MOSFET.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-3173

(43)公開日 平成5年(1993)1月8日

(51)Int.Cl. 5 識別記号 廣内整理番号 F I
H 01 L 21/28 3 01 X 7738-4M
D 7738-4M
27/092
7342-4M H 01 L 27/ 08 3 21 H
技術表示箇所

審査請求 未請求 請求項の数20(全 13 頁)

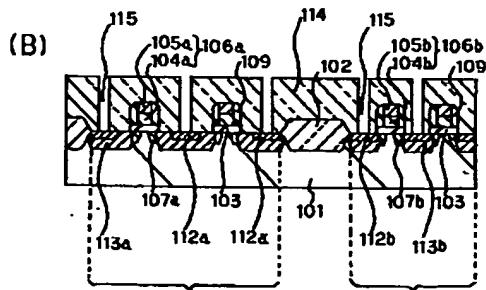
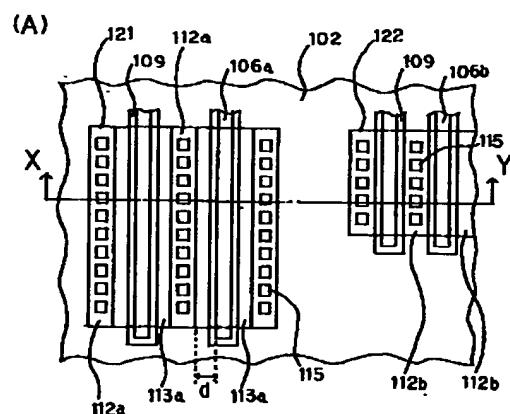
(21)出願番号	特願平3-186746	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成3年(1991)7月26日	(72)発明者	大岡秀幸 東京都港区芝五丁目7番1号日本電気株式会社内
(31)優先権主張番号	特願平2-211109	(74)代理人	弁理士 内原晋
(32)優先日	平2(1990)8月9日		
(33)優先権主張国	日本(JP)		
(31)優先権主張番号	特願平2-228688		
(32)優先日	平2(1990)8月29日		
(33)優先権主張国	日本(JP)		

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】MOSFETを構成要素として含む半導体集積回路装置において、高速化を計り、かつESD耐性を向上させる。

【構成】バッファ一回路領域121には第1のNチャネルMOSFETを含み外部装置と直接接続するバッファ一回路が形成され、内部回路領域122には第2のNチャネルMOSFETを含む内部回路が形成される。第1、第2のMOSFETのゲート電極106a、106bはそれぞれチタンシリサイド膜105a、105bを含むポリサイド構造により低抵抗化され、第2のMOSFETのソース・ドレイン領域はチタンシリサイド膜112bを含むサリサイド構造により低抵抗化される。第1のMOSFETのソース・ドレイン領域には、ゲート電極106aとチタンシリサイド膜112aとの間にN⁺ソース・ドレイン拡散層113aのみから形成された低抵抗化されていない領域が設けられている。



1

【特許請求の範囲】

【請求項1】 第1のMOSFETを含み外部装置に直接に接続されるバッファーレートと第2のMOSFETを含む内部回路とからなる半導体集積回路装置において、前記第1のMOSFETおよび前記第2のMOSFETのゲート電極が第1の金属からなる膜、前記第1の金属のシリサイド膜、および多結晶シリコン膜と前記第1の金属のシリサイド膜との積層膜のいずれかによりそれぞれ構成され、前記第1および第2のMOSFETの各々のゲート電極のそれぞれの側面には絶縁膜からなるスペーサーが設けられ、前記第1のMOSFETのゲート電極から所定距離離れた領域のソース・ドレイン拡散層の表面および前記第2のMOSFETのソース・ドレイン拡散層の表面に第2の金属のシリサイド膜が設けられたことを特徴とする半導体集積回路装置。

【請求項2】 前記第1の金属がタングステン、モリブデン、あるいはチタンであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記第2の金属がチタン、コバルト、あるいはタンタルであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 前記バッファーレートが出力バッファーレートであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項5】 前記バッファーレートが入力バッファーレートであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項6】 前記バッファーレートがI/Oバッファーレートであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項7】 前記バッファーレートおよび前記内部回路がNチャネルMOSFETから構成されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項8】 前記バッファーレートおよび前記内部回路が相補型MOSFETから構成されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項9】 前記バッファーレートおよび前記内部回路がBiCMOSから構成されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項10】 第1のMOSFETを含み外部装置に直接に接続されるバッファーレートと第2のMOSFETを含む内部回路とからなる半導体集積回路装置において、前記第1のMOSFETおよび前記第2のMOSFETのゲート電極が第1の金属からなる膜、前記第1の金属のシリサイド膜、および多結晶シリコン膜と前記第1の金属のシリサイド膜との積層膜のいずれかにより構成され、前記第1および第2のMOSFETの各々のゲート電極の側面には絶縁膜からなるスペーサーが設けられ、前記第2のMOSFETのソース・ドレイン拡散層

2

微とする半導体集積回路装置。

【請求項11】 前記第1の金属がタングステン、モリブデン、あるいはチタンであることを特徴とする請求項10記載の半導体集積回路装置。

【請求項12】 前記第2の金属がチタン、コバルト、あるいはタンタルであることを特徴とする請求項10記載の半導体集積回路装置。

【請求項13】 前記バッファーレートが出力バッファーレートであることを特徴とする請求項10記載の半導体集積回路装置。

【請求項14】 前記バッファーレートが入力バッファーレートであることを特徴とする請求項10記載の半導体集積回路装置。

【請求項15】 前記バッファーレートがI/Oバッファーレートであることを特徴とする請求項10記載の半導体集積回路装置。

【請求項16】 前記バッファーレートおよび前記内部回路がNチャネルMOSFETから構成されていることを特徴とする請求項10記載の半導体集積回路装置。

【請求項17】 前記バッファーレートおよび前記内部回路が相補型MOSFETから構成されていることを特徴とする請求項10記載の半導体集積回路装置。

【請求項18】 前記バッファーレートおよび前記内部回路がBiCMOSから構成されていることを特徴とする請求項10記載の半導体集積回路装置。

【請求項19】 第1のMOSFETを含み外部装置に直接に接続するバッファーレートと第2のMOSFETを含む内部回路とからなる半導体集積回路装置の製造方法において、シリコン基板表面に前記バッファーレート形成領域および前記内部回路形成領域を形成するように選択的にフィールド絶縁膜を形成し、前記バッファーレート形成領域および前記内部回路形成領域表面にゲート絶縁膜を形成する工程と、前記基板表面の全体に第1の金属からなる膜、前記第1の金属のシリサイド膜、および多結晶シリコン膜と前記第1の金属のシリサイド膜との積層膜のいずれかを形成してパターニングし、前記バッファーレート形成領域および前記内部回路形成領域の各々の表面に前記第1のMOSFETのゲート電極および前記第2のMOSFETのゲート電極を形成する工程と、前記第1および前記第2のMOSFETのゲート電極をマスクにして前記第1のMOSFETの低濃度ソース・ドレイン拡散層および前記第2のMOSFETの低濃度ソース・ドレイン拡散層を形成する工程と、前記第1および前記第2のMOSFETの各々のゲート電極の側面に第1の絶縁膜からなるスペーサーを形成し、前記第1および第2のMOSFETのゲート電極および前記スペーサー直下以外の前記ゲート絶縁膜を除去する工程と、前記第1のMOSFETのゲート電極および少なくともこのゲート電極に隣接する所定領域を第2の絶縁膜により覆う工

10

20

30

30

40

成し、熱処理により第2の金属のシリサイド膜を形成し、第2の金属からなる膜を除去する工程と、を有することを特徴とする半導体集積回路装置の製造方法。

【請求項20】前記基板表面の全体に第1の金属からなる膜、前記第1の金属のシリサイド膜、および多結晶シリコン膜と前記第1の金属のシリサイド膜との積層膜のいずれかを形成し、前記基板表面の全体に第3の絶縁膜を形成してバターニングし、前記バッファーレジオド形成領域および前記内部回路形成領域の表面に前記第1のMOSFETのゲート電極および前記第2のMOSFETのゲート電極を形成する工程を有することを特徴とする請求項19記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はMOSFETを含む半導体集積回路装置およびその製造方法に関し、特にソース・ドレイン拡散層の表面に金属シリサイド膜を有するMOSFETを含む半導体集積回路装置およびその製造方法に関する。

【0002】

【従来の技術】半導体集積回路装置は、高密度化、高速化のため、素子寸法の縮小化が急速に進んでいる。特に半導体集積回路装置がMOSFETを含む場合、MOSFETの短チャネル効果の抑制が重要である。これには、ソース・ドレイン拡散層の浅接合化が必要である。しかしながら、ソース・ドレイン拡散層を浅接合化すると、層抵抗が増大する。MOSFETを含む半導体集積回路装置では、ソース・ドレイン拡散層、およびゲート電極は、配線の一部に用いられるので、拡散層の層抵抗の増大、およびゲート電極の縮小化は、配線抵抗の急増、回路の動作速度の著しい低下を招来する。

【0003】ゲート電極の縮小化に伴なう層抵抗の増大の問題は、ゲート電極の構成材料の選択により対処されている。近年、多結晶シリコン膜のみによるゲート電極（所謂、シリコンゲート電極）から、多結晶シリコン膜上に金属シリサイド膜を積層した構造（所謂、ポリサイド構造）のゲート電極、あるいは金属シリサイド膜のみによるゲート電極が採用されている。さらには、高融点金属膜によるゲート電極の採用へと変遷しつつある。

【0004】拡散層の層抵抗の増大を解決する方法が、シーケイ・ラウ等により1982年アイ・イー・ディー・エム、テクニカル・ダイジェスト、714-717ページ(C. K. Lau et al, IEDM Tech. Dig., 1982, pp 714-717)に提案された。この方法では、シリコン基板表面に形成された拡散層の表面に金属膜が堆積され、熱処理が施されて拡散層のシリコンと金属膜との間のシリサイド化反応が生じ、その後選択的に未反応のまま残された金属膜が除去される。これにより、金属シリサイド膜が拡散層に対

構造は、サリサイド (self-aligned silicidationの略) と呼ばれる。層抵抗が数十～百数十Ω/□であった拡散層は、この構造を採用することにより、層抵抗が数Ω/□の拡散層になる。

【0005】

【発明が解決しようとする課題】しかしながら、上述したサリサイド構造のMOSFETは、1986年、ケイ・エル・チェン等によりアイ・イー・ディー・エム、テクニカル・ダイジェスト、484-487ページ(K. L. Chen et al, IEDM Tech. Dig., 1986, pp 484-487)に報告されたように、サリサイド構造を採用しないMOSFETに比較して、ESD耐性が著しく劣化する。本願発明者がこれを追試したところ、サリサイド構造のMOSFETのESD (Electro-static Dischargeの略) 耐性は、サリサイド構造を採用しないMOSFETのそれの1/3程度であった。

【0006】この原因は以下のように考えられている。サリサイド構造のMOSFETの拡散層では層抵抗の低下により拡散層自体の抵抗値が低減する。静電気による放電電流がMOSFETの拡散層（特にドレイン拡散層）に流れる場合、この電流はゲート電極の端部に集中しやすくなる。このため、ゲート電極端部近傍のゲート絶縁膜に局所的な熱破壊が生じやすくなる。

【0007】半導体集積回路の中でMOSFETを構成素子として形成される諸回路のうち外部装置との接続を要しない内部回路では、上記熱破壊の問題は外部装置の直接接続する回路での保護装置により対処できるので、上述したサリサイド構造のMOSFETを採用できる。

しかしながら、半導体集積回路における外部装置に直接接続するバッファーレジオド（これには入力バッファーレジオド、出力バッファーレジオド、I/Oバッファーレジオドの3種類がある）には、上述のサリサイド構造のMOSFETは、そのままの形で採用することは上記の現象のために出来ない。特に、出力バッファーレジオドは、MOSFETのドレイン拡散層が出力端子に直接に接続されており、出力側の耐圧特性はMOSFETのEDS耐性そのものに依存することになるので、種々の保護装置を設けることが可能な入力バッファーレジオドに比べてこの問題が重要となる。

【0008】

【課題を解決するための手段】本発明の半導体集積回路装置の第1の態様は、第1のMOSFETを含んで構成され外部装置に直接接続するバッファーレジオドと第2のMOSFETを含む内部回路とからなる半導体集積回路装置において、第1のMOSFET並びに第2のMOSFETのゲート電極が第1の金属からなる膜、あるいは第1の金属のシリサイド膜、あるいは多結晶シリコン膜と第1の金属のシリサイド膜との積層膜により構成され、

電極の側面には絶縁膜からなるスペーサが設けられ、第1のMOSFETにおけるゲート電極から所定距離離れた領域のソース・ドレイン拡散層表面並びに第2のMOSFETのソース・ドレイン拡散層表面には第2の金属のシリサイド膜が設けられている。第1の金属は、好ましくはタングステン、モリブデン、あるいはチタンである。第2の金属は、好ましくはチタン、コバルト、あるいはタンタルである。

【0009】本発明の半導体集積回路装置の第2の態様は、第1のMOSFETを含んで構成され外部装置に直接接続されるバッファーハ回路と第2のMOSFETを含む内部回路とからなる半導体集積回路装置において、第1のMOSFET並びに第2のMOSFETのゲート電極が第1の金属からなる膜、あるいは第1の金属のシリサイド膜、あるいは多結晶シリコン膜と第1の金属のシリサイド膜との積層膜により構成され、第1のMOSFET並びに第2のMOSFETのゲート電極の側面には絶縁膜からなるスペーサが設けられ、第2のMOSFETのソース・ドレイン拡散層表面には第2の金属のシリサイド膜が設けられている。第1の金属は、好ましくはタングステン、モリブデン、あるいはチタンである。第2の金属は、好ましくはチタン、コバルト、あるいはタンタルである。

【0010】本発明の半導体集積回路装置の製造方法は、第1のMOSFETを含み外部装置に直接に接続されるバッファーハ回路と第2のMOSFETを含む内部回路とからなる半導体集積回路装置の製造方法において、シリコン基板表面に選択的にフィールド絶縁膜を形成して外部装置に直接接続するバッファーハ回路形成領域および内部回路形成領域を形成し、バッファーハ回路形成領域および内部回路形成領域表面にゲート絶縁膜を形成する工程と、全面に第1の金属からなる膜あるいは第1の金属のシリサイド膜あるいは多結晶シリコン膜と第1の金属のシリサイド膜との積層膜を形成してパターニングし、バッファーハ回路形成領域および内部回路形成領域表面に第1のMOSFETのゲート電極および第2のMOSFETのゲート電極をそれぞれ形成する工程と、第1のMOSFETのゲート電極および第2のMOSFETのゲート電極をマスクにして第1のMOSFETの低濃度ソース・ドレイン拡散層および第2のMOSFETの低濃度ソース・ドレイン拡散層を形成する工程と、第1のMOSFETのゲート電極および第2のMOSFETのゲート電極の側面に第1の絶縁膜からなるスペーサを形成し、第1のMOSFETのゲート電極並びに第2のMOSFETのゲート電極並びにスペーサ直下以外のゲート絶縁膜を除去する工程と、第1のMOSFETのゲート電極および少なくともこのゲート電極に隣接する所定領域を第2の絶縁膜により覆う工程と、全面に第2の金属からなる膜を形成し、熱処理により第2の金属のシリサイド膜を形成する工程と、を有している。

【0011】第1のMOSFETのゲート電極および第2のMOSFETのゲート電極が第1の金属からなる膜の場合、および第2の金属が第1の金属と同じ場合、本発明の上記製造方法は、好ましくは全面に第1の金属からなる膜あるいは第1の金属のシリサイド膜あるいは多結晶シリコン膜と第1の金属のシリサイド膜との積層膜を形成した後、全面に第3の絶縁膜を形成する工程を有している。

【0012】

【実施例】次に本発明について図面を参照して説明する。

【0013】図1は本発明の第1の実施例の構成を説明するための略平面図、および略断面図である。分図(B)は、分図(A)のXY線での略断面図である。

【0014】本発明の半導体集積回路装置は、外部装置に直接接続されるバッファーハ回路(これには入力バッファーハ回路、出力バッファーハ回路、I/Oバッファーハ回路の3種類があるが、以後バッファーハ回路と略記する)と外部装置への接続を要しない内部回路とから構成される。バッファーハ回路および内部回路は、単チャネルのMOSFET、C-MOSFET、あるいはBi-CMOSFETから構成される。説明を容易にするため本実施例では、LDD構造のソース・ドレイン拡散層を有するNチャネルのMOSFETのみから構成された半導体集積回路装置について説明する。

【0015】P型シリコン基板101の表面には、フィールド酸化膜102が選択的に設けられている。フィールド酸化膜102の膜厚は、800nm程度である。フィールド酸化膜102により、シリコン基板101の表面には、バッファーハ回路領域121、および内部回路領域122が区画されて形成される。バッファーハ回路領域121、および内部回路領域122には、第1のNチャネルMOSFET、第2のNチャネルMOSFETが設けられている。

【0016】第1、第2のMOSFETは膜厚21.5nmのゲート酸化膜103を有している。第1、第2のMOSFETは、ポリサイド構造のゲート電極106a、106bを有している、ゲート電極106aはN⁺型の多結晶シリコン膜104aとタングステンシリサイド膜105aとから形成される。ゲート電極106bはN⁺型の多結晶シリコン膜104bとタングステンシリサイド膜105bとから形成される。多結晶シリコン膜104a、104bの膜厚は約200nmである。タングステンシリサイド膜105a、105bの膜厚は約200nmである。ゲート電極106a、106bの層抵抗は6Ω/□程度である。ゲート電極106a、106bの側面には、シリコン酸化膜からなるスペーサ109が形成されている。スペーサ109の幅は200nm程

【0017】第1、第2のMOSFETは、ゲート電極106a, 106bに自己整合的に形成されたN⁻型ソース・ドレイン拡散層107a, 107bを有している。第1、第2のMOSFETは、スペーサ109並びにゲート電極106a, スペーサ109並びにゲート電極106bに自己整合的に形成されたN⁺型ソース・ドレイン拡散層113a, 113bを有している。N⁺型ソース・ドレイン拡散層113aの表面には、ゲート電極106aから間隔d(分図(A)参照)以上離れた領域にチタンシリサイド膜112aが形成されている。N⁺型ソース・ドレイン拡散層113bの表面には、これと自己整合的にチタンシリサイド膜112bが形成されている。チタンシリサイド膜112a, 112bの膜厚は160nm程度であり、層抵抗は2Ω/□程度である。N⁺型ソース・ドレイン拡散層113a, 113bのみでの層抵抗は40Ω/□程度である。

【0018】この半導体集積回路装置の表面には、膜厚1μm程度の層間絶縁膜114が形成されている。層間絶縁膜114にはチタンシリサイド膜112a, 112bに達するコンタクト孔115が設けられている。本実施例では、チタンシリサイド膜112a, 112bがバリアメタルとして機能する。このため、コンタクト孔115の径は小さくても、コンタクト抵抗の増大は大きくない。また、第1のMOSFETのコンタクト孔の径をあえて大きくする必要もない。

【0019】本実施例におけるソース・ドレイン拡散層(N⁻型ソース・ドレイン拡散層107, チタンシリサイド膜112, およびN⁺型ソース・ドレイン拡散層113から構成される)、およびゲート電極は、配線の一部に転用しても支障は来さない。これは、本実施例におけるソース・ドレイン拡散層、およびゲート電極の層抵抗が従来のものより充分低いためである。

【0020】また、本実施例においては、バッファーレイドを構成する第1のNチャネルMOSFETでは、ゲート電極106aとチタンシリサイド膜112aとが分離している。その間のソース・ドレイン領域は、40Ω/□程度の層抵抗を有するN⁺型ソース・ドレイン拡散層113aにより構成されている。このため、バッファーレイドのソース・ドレイン拡散層に外部装置から放電電流が流入しても、ゲート電極106a端部での熱破壊は顕著でない。

【0021】次に、図2、図3、および図1を用いて、本発明の第1の実施例の半導体集積回路装置に係わる製造方法を説明する。

【0022】まず、P型シリコン基板101表面に、選択酸化法によるフィールド酸化膜102が形成される。フィールド酸化膜102の膜厚は800nm程度である。フィールド酸化膜102の形成により、バッファーレイド領域121、内部回路領域122が同時に形成され

02に囲まれている(図1(A)参照)。領域121、122表面には、熱酸化法によるゲート酸化膜103が形成される。ゲート酸化膜の膜厚は21.5nmである。全面に膜厚約200nmのN⁺型の多結晶シリコン膜104がCVD法による形成される。引き続いて、スパッタ法により、膜厚約200nmのタンゲステンシリサイド膜105が全面に堆積される。タンゲステンシリサイド膜105上には、フォトレジスト膜131のパターンが形成される。フォトレジスト膜131はゲート電極用のエッチングマスクである(図2(A))。フォトレジスト膜131の幅はゲート長に対応する。ここでは第1、第2のMOSFETのゲート長が同じであるとしてあるが、これに限定されるものではない。

【0023】次に、フォトレジスト膜131をマスクに用いて、タンゲステンシリサイド膜105、多結晶シリコン膜104が順次エッチングされる。これにより、第1、第2のMOSFETのポリサイド構造のゲート電極106a, 106bが形成される。ゲート電極106aはN⁺型の多結晶シリコン膜104aとタンゲステンシリサイド膜105aとから形成される。ゲート電極106bはN⁺型の多結晶シリコン膜104bとタンゲステンシリサイド膜105bとから形成される。燐のイオン注入により、第1、第2のMOSFETのN⁻型ソース・ドレイン領域107a, 107bが形成される。N⁻型ソース・ドレイン領域107a, 107bは、ゲート電極106a, 106bに対して自己整合的である。燐のイオン注入条件は、注入エネルギーが20keV-100keV、ドーズ量が1×10¹³cm⁻²程度である。フォトレジスト膜131が除去された後、全面に膜厚約200nmのシリコン酸化膜108が、CVD法により、堆積される(図2(B))。

【0024】次に、シリコン酸化膜108がエッチングされ、シリコン酸化膜からなるスペーサ109がゲート電極106a, 106bの側面に形成される。全面に膜厚30nm程度のシリコン酸化膜110が、CVD法により堆積される(図2(C))。

【0025】次に、フォトレジスト膜132のパターンがバッファーレイド領域121上の所定領域に形成される。この所定領域は、ゲート電極106aおよびゲート電極106aから間隔d(図1(A)参照)以内の領域である。フォトレジスト膜132をマスクにしてシリコン酸化膜110がエッチングされ、シリコン酸化膜110aが形成される(図2(D))。

【0026】次に、フォトレジスト膜132が除去され、全面に膜厚約100nmのチタン膜111がスパッタ法により堆積される(図3(A))。

【0027】次に、不活性雰囲気で600℃-800℃の熱処理が行なわれ、チタンシリサイド膜112a, 112bが形成される。未反応のチタン膜111はエッチ

の際、タングステンシリサイド膜105bとチタン膜111とは直接接觸しているが、この部分ではシリサイド化反応は起らない。

【0028】本実施例の製造方法は、第1の金属からなる金属シリサイド膜がゲート電極の構成要素となっている場合には、第1の金属（本実施例ではタングステン）と第2の金属（本実施例ではチタン）とを異ならせることにより適用できる。しかし、第1の金属と第2の金属とが同一の場合、およびゲート電極が第1の金属からなる膜で形成されている場合には、適用できない。

【0029】次に、シリコン酸化膜110aが除去される。フィールド酸化膜102、ゲート電極106a、106b、スペーサ109をマスクとした砒素のイオン注入により、N⁺型ソース・ドレイン拡散層113a、113bが形成される。イオン注入条件は、注入エネルギーが70keV-100keV、ドーズ量が 1×10^{15} cm⁻²- 5×10^{15} cm⁻²である〔図3(C)〕。

【0030】次に、CVD法により、全面に膜厚1μm程度の層間絶縁膜114が形成される〔図3(C)〕。層間絶縁膜114にはチタンシリサイド膜112a、112bに達するコンタクト孔115が形成される〔図1(A)、(B)〕。

【0031】上述の製造方法は、NチャネルMOSFETの場合であるが、この製造方法はPチャネルMOSFETにも適用できる。さらに、C-MOSFET、Bi-CMOSFETにも適用できる。

【0032】本実施例を適用した半導体集積回路装置のESDに関して、図11、および図12(A)、(B)を参照して説明する。バッファーリードと並びに内部回路は、本実施例を適用したC-MOSFETにより構成する。出力バッファーリードはC-MOSインバータからなる。このC-MOSインバータにおいて、ゲート長L/ゲート幅Wは、NチャネルMOSFET、PチャネルMOSFETとともに、1.5μm/500μmである。NチャネルMOSFETおよびPチャネルMOSFETのゲート酸化膜の膜厚は約21.5nmである。ゲート電極は、NチャネルMOSFET、PチャネルMOSFETとともに、膜厚200nmのタングステンシリサイド膜、膜厚200nmのN⁺型の多結晶シリコン膜から構成される。スペーサはシリコン酸化膜から形成され、その幅は約200nmである。NチャネルMOSFET、PチャネルMOSFETとともに、ソース・ドレイン拡散層表面には、膜厚160nm程度のチタンシリサイド膜が形成されている。チタンシリサイド膜とゲート電極の間隔dは、NチャネルMOSFET、PチャネルMOSFETとともに、4μmである。

【0033】一方、従来構造の半導体集積回路装置として、チタンシリサイド膜とゲート電極の間隔dが200nm（スペーサの幅）であること以外は本実施例と同一

するC-MOSインバータのソース・ドレイン拡散層表面には、全面にチタンシリサイド膜が形成されている。このC-MOSインバータでは、ゲート電極とコンタクト孔の間隔が、本実施例の適用例より、4μm短くなっている。

【0034】上述の2つの出力バッファーリードに対して、MIL-STD-883C、方法3015.2に基づくEDS試験を行なった。EDS試験の一例は、図11に示す回路において、GND端子を基準とし、出力端子とGND端子との間は印加電圧が加えられ、Vdd端子、入力端子（図示せず）、I/O端子（図示せず）、および他の出力端子（図示せず）はオープンにした。結果は図12(A)、(B)のとおりである。図12

10 (A)はプラスの印加電圧を変数とし、プラスの印加電圧を加えた後の良品率を示すグラフである。図12(B)はマイナスの印加電圧を変数とし、マイナスの印加電圧を加えた後の良品率を示すグラフである。

【0035】図12(A)、(B)において、折線Aは本実施例の適用例の結果であり、折線Cは従来構造の結果である。図から明らかのように、プラスの印加電圧の場合、本実施例の適用例では従来構造に比べてEDS耐性が1.5倍程度に高くなる。一方、マイナスの印加電圧の場合、本実施例の適用例では従来構造に比べてEDS耐性が1.2倍程度に高くなる。

【0036】本発明の第1の実施例は、LDD構造のソース・ドレイン拡散層を有するNチャネルMOSFETに適用した場合である。これは、バッファーリードおよび内部回路が、例えば5V系の比較的高い電源電圧で駆動される場合に適している。図4、図5、図6は、他の構造（あるいは他の構造との組み合わせ）のソース・ドレイン拡散層を有するNチャネルMOSFETに第1の実施例を適用した例を説明するための略断面図である。

【0037】図4は、上述の第1の実施例の第1の応用例を説明するための略断面図である。本応用例では、バッファーリード領域121の第1のNチャネルMOSFETは第1の実施例と同じである。一方、内部回路領域122の第2のNチャネルMOSFETはシングル・ドレイン構造のソース・ドレイン拡散層を有している。このソース・ドレイン拡散層は、チタンシリサイド膜112bとゲート電極に自己整合的に形成されたN⁺型ソース・ドレイン拡散層113dとから構成されている。

【0038】本応用例は、バッファーリードを含む周辺回路が5V系の電源電圧で駆動し、内部回路が例えば3.3V系の電源電圧で駆動する半導体集積回路装置に適している。本応用例では、内部回路領域を第1の実施例より微細化することができ、第1の実施例を用いるより高速化が果せる。

【0039】本応用例の製造方法の要点を述べる。ゲート電極を形成した後、フォトレジスト膜により内部回路

11

・ドレイン拡散層107aを形成する。その後、別のフォトレジスト膜によりバッファーハ回路領域121を覆い、70keV, $1 \times 10^{15} \text{ cm}^{-2}$ 程度の砒素のイオン注入によりN⁺型ソース・ドレイン拡散層113dを形成する。これら以外に第1の実施例と異なる工程は、N⁺型ソース・ドレイン拡散層113aの形成のイオン注入の際、内部回路領域122側がフォトレジスト膜により覆われていることである。

【0040】図5は、上述の第1の実施例の第2の応用例を説明するための略断面図である。本応用例では、内部回路領域122の第2のNチャネルMOSFETはDD構造のソース・ドレイン拡散層を有している。このソース・ドレイン拡散層は、チタンシリサイド膜112b、ゲート電極に自己整合的に形成されたN⁻型ソース・ドレイン拡散層107d、およびゲート電極に自己整合的に形成されたN⁺型ソース・ドレイン拡散層113dと、から構成されている。

【0041】本応用例も、第1の応用例と同様に、バッファーハ回路を含む周辺回路が5V系の電源電圧で駆動し、内部回路が例えば3.3V系の電源電圧で駆動する半導体集積回路装置に適している。本応用例は、第1の応用例に比べて、ホット・キャリアに対する信頼性が高い。

【0042】本応用例の製造方法の要点を述べる。ゲート電極を形成した後、フォトレジスト膜により内部回路領域122を覆い、燐のイオン注入によりN⁻型ソース・ドレイン拡散層107aを形成する。その後、別のフォトレジスト膜によりバッファーハ回路領域121を覆い、70keV, $1 \times 10^{14} \text{ cm}^{-2}$ 程度の燐のイオン注入によりN⁻型ソース・ドレイン拡散層107dを形成し、さらに70keV, $1 \times 10^{15} \text{ cm}^{-2}$ 程度の砒素のイオン注入によりN⁺型ソース・ドレイン拡散層113dを形成する。これら以外に第1の実施例と異なる工程は、N⁺型ソース・ドレイン拡散層113aの形成のイオン注入の際、内部回路領域122側がフォトレジスト膜により覆われていることである。

【0043】図6は、上述の第1の実施例の第3の応用例を説明するための略断面図である。本応用例では、バッファーハ回路領域121の第1のMOSFET、および内部回路領域122の第2のMOSFETは、ともにDD構造のソース・ドレイン拡散層を有している。第1のMOSFETのソース・ドレイン拡散層は、チタンシリサイド膜112a、ゲート電極に自己整合的に形成されたN⁻型ソース・ドレイン拡散層107c、およびゲート電極に自己整合的に形成されたN⁺型ソース・ドレイン拡散層113cと、から構成されている。

【0044】本応用例は、バッファーハ回路を含む周辺回路、および内部回路が、比較的低い例えば3.3V系の電源電圧により駆動される半導体集積回路装置に適して

12

【0045】本応用例の製造方法の要点は、ゲート電極が形成された後、70keV, $1 \times 10^{14} \text{ cm}^{-2}$ 程度の燐のイオン注入によりN⁻型ソース・ドレイン拡散層107c、107dが形成され、さらに70keV, $1 \times 10^{15} \text{ cm}^{-2}$ 程度の砒素のイオン注入によりN⁺型ソース・ドレイン拡散層113c、113dが形成される点にある。

【0046】図7は、本発明の第2の実施例を、その製造方法に沿って説明するための工程順の略断面図である。本実施例は、第1の実施例および第1の実施例の応用例にも適用でき、さらにまた、第2の金属が第1の金属と同一の場合、およびゲート電極が金属膜からなる場合にも適用できる。本実施例では、第1の金属、および第2の金属をチタンとしたNチャネルMOSFETの場合について説明する。

【0047】まず、P型シリコン基板201の表面に、選択酸化法によるフィールド酸化膜202が形成される。フィールド酸化膜202の膜厚は800nm程度である。フィールド酸化膜202の形成により、バッファーハ回路領域221、内部回路領域222が同時に形成される。領域221、222はそれぞれフィールド酸化膜202に囲まれている。領域221、222表面には、熱酸化法によるゲート酸化膜203が形成される。ゲート酸化膜203の膜厚は21.5nmである。全面に膜厚約300nmのN型の多結晶シリコン膜204がCVD法により形成され、さらに、スパッタ法により、膜厚100nm程度のチタン膜216が堆積される〔図7(A)〕。

【0048】次に、不活性雰囲気で600°C-800°Cの熱処理が行なわれる。この熱処理により、膜厚200nm程度のチタンシリサイド膜217が形成され、同時にN型の多結晶シリコン膜204は膜厚200nm程度のN型の多結晶シリコン膜224になる。この積層膜の層抵抗は、 $2\Omega/\square$ 程度である。全面に、CVD法により、膜厚200nm程度のシリコン酸化膜218が堆積される。シリコン酸化膜218上には、フォトレジスト膜231のパターンが形成される。フォトレジスト膜231はゲート電極用のエッチングマスクである〔図7(B)〕。

【0049】次に、フォトレジスト膜231をマスクに用いて、シリコン酸化膜218、チタンシリサイド膜217、多結晶シリコン膜224が順次エッチングされる。これにより、第1、第2のMOSFETのポリサイド構造のゲート電極206a、206bが形成される。ゲート電極206aはN型の多結晶シリコン膜224aとチタンシリサイド膜217aとから形成される。ゲート電極206bはN型の多結晶シリコン膜224bとチタンシリサイド膜217bとから形成される。ゲート電極206a、206bの上面には、シリコン酸化膜21

のMOSFETのN-型ソース・ドレイン領域207a, 207bが形成される。フォトレジスト膜231が除去された後、全面に膜厚約200nmのシリコン酸化膜がCVD法により堆積され、このシリコン酸化膜がエッチバックされてスペーサ209が形成される。このエッチバックに際して、シリコン酸化膜218の膜厚は多少減少するが、150nm程度は残留する。全面に、CVD法による膜厚30nm程度のシリコン酸化膜210を堆積する〔図7 (C)〕。

【0050】その後、第1の実施例の製造方法と同様の方法により、チタンシリサイド膜212a, 212b, N+型ソース・ドレイン拡散層213a, 213bが形成され、CVD法による層間絶縁膜214が堆積され、コンタクト孔215が形成される〔図7 (D)〕。

【0051】本実施例は、第1の実施例に比べて、ゲート電極の層抵抗が低いため、より高速の半導体集積回路装置が得られる。

【0052】なお、本実施例において、チタンシリサイド膜217, チタンシリサイド膜212を別個に形成する方法が採用されている。これは、多結晶シリコン膜のみによりゲート電極のパターンを形成し、スペーサを形成した後、ソース・ドレイン形成領域と同時にゲート電極のシリサイド化する方法をとると、ゲート電極部では体積膨張のため、ゲート電極の形状が崩れやすくなり、ゲート電極が微細化がきわめて困難となるからである。

【0053】図8 (A), (B) は本発明の第3の実施例の構成を説明するための略平面図、略断面図である。本実施例は、説明を容易にするためにLDD構造のソース・ドレイン拡散層を有するNチャネルのMOSFETのみから構成された半導体集積回路装置である。

【0054】N型シリコン基板301表面には、フィールド酸化膜302が選択的に設けられている。フィールド酸化膜302の膜厚は、800nm程度である。フィールド酸化膜302により、シリコン基板301表面には、バッファーレジスト膜321, および内部回路領域322が区画されて形成される。バッファーレジスト膜321, および内部回路領域322には、第1のNチャネルMOSFET, 第2のNチャネルMOSFETが設けられている。

【0055】第1, 第2のMOSFETは膜厚21.5nmのゲート酸化膜303を有している。第1, 第2のMOSFETは、ポリサイド構造のゲート電極306a, 306bを有している、ゲート電極306aはN+型の多結晶シリコン膜304aとタングステンシリサイド膜305aとから形成される。ゲート電極306bはN+型の多結晶シリコン膜304bとタングステンシリサイド膜305bとから形成される。多結晶シリコン膜304a, 304bの膜厚は約200nmである。タングステンシリサイド膜305a, 305bの膜厚は約2

抗は6Ω/□程度である。ゲート電極306a, 306bの側面には、シリコン酸化膜からなるスペーサ309が形成されている。スペーサ309の幅は200nm程度である。

【0056】第1, 第2のMOSFETは、ゲート電極306a, 306bに自己整合的に形成されたN-型ソース・ドレイン拡散層307a, 307bを有している。第1, 第2のMOSFETは、スペーサ309並びにゲート電極306a, 306bに自己整合的に形成されたN+型ソース・ドレイン拡散層313a, 313bを有している。N+型ソース・ドレイン拡散層313b表面には、これと自己整合的にチタンシリサイド膜312bが形成されている。チタンシリサイド膜312bの膜厚は160nm程度であり、層抵抗は2Ω/□程度である。N+型ソース・ドレイン拡散層313a, 313bのみでの層抵抗は40Ω/□程度である。

【0057】半導体集積回路装置の表面には、膜厚1μm程度の層間絶縁膜314が形成される。層間絶縁膜314には、N+型ソース・ドレイン拡散層313a, チタンシリサイド膜312bに達するコンタクト孔315a, 315bが設けられている。チタンシリサイド膜312bがバリアメタルとして機能する。このため、コンタクト孔315の径は小さくても、コンタクト抵抗の増大は大きくない。しかしながら、コンタクト孔315aにはバリアメタルとして機能する膜が無いため、径をコンタクト孔315より広くする必要がある。

【0058】本実施例におけるゲート電極、および内部回路領域322でのソース・ドレイン拡散層は、配線の一部に転用しても支障は来さない。これは、これらの層抵抗が従来のものより充分低いためである。また、本実施例において、バッファーレジスト膜321を構成する第1のNチャネルMOSFETのゲート電極306aとコンタクト孔315aとの間に存在するソース・ドレイン領域は、層抵抗が40Ω/□程度の層抵抗を有するN+型ソース・ドレイン拡散層313aにより構成されているので、バッファーレジスト膜321のソース・ドレイン拡散層に外部装置から放電電流が流入しても、ゲート電極306a端部での熱破壊は起りにくくなる。

【0059】次に、図9, 図10, および図8を用いて、本発明の第3の実施例の半導体集積回路装置の製造方法を説明する。

【0060】まず、P型シリコン基板301表面に、選択酸化法によるフィールド酸化膜302が形成される。フィールド酸化膜302の膜厚は800nm程度である。フィールド酸化膜302の形成により、バッファーレジスト膜321, 内部回路領域322が同時に形成される。領域321, 322はそれぞれフィールド酸化膜302に囲まれている。領域321, 322表面には、熱

酸化膜の膜厚は21.5nmである。全面に膜厚約200nmのN⁺型の多結晶シリコン膜304がCVD法による形成される。引き続いて、スパッタ法により、膜厚約200nmのタングステンシリサイド膜305が全面に堆積される。タングステンシリサイド膜305上には、フォトレジスト膜331のパターンが形成される。フォトレジスト膜331はゲート電極用のエッチングマスクである〔図9(A)〕。

【0061】次に、フォトレジスト膜331をマスクに用いて、タングステンシリサイド膜305、多結晶シリコン膜304が順次エッチングされる。これにより、第1、第2のMOSFETのポリサイド構造のゲート電極306a、306bが形成される。ゲート電極306aはN⁺型の多結晶シリコン膜304aとタングステンシリサイド膜305aとから形成される。ゲート電極306bはN⁺型の多結晶シリコン膜304bとタングステンシリサイド膜305bとから形成される。燐のイオン注入により、第1、第2のMOSFETのN⁻型ソース・ドレイン領域307a、307bが形成される。燐のイオン注入条件は、注入エネルギーが20keV-100keV、ドーズ量が $1 \times 10^{13} \text{ cm}^{-2}$ 程度である。フォトレジスト膜331が除去された後、全面に膜厚約200nmのシリコン酸化膜308が、CVD法により、堆積される〔図9(B)〕。

【0062】次に、シリコン酸化膜308がエッチングされ、シリコン酸化膜からなるスペーサ309がゲート電極306a、306bの側面に形成される。全面に膜厚30nm程度のシリコン酸化膜310が、CVD法により堆積される。内部回路領域322を覆うフォトレジスト膜333が形成される。これをマスクにした砒素のイオン注入により、第1のNチャネルMOSFETのN⁺型ソース・ドレイン拡散層313aが形成される〔図9(C)〕。

【0063】次に、フォトレジスト膜333が除去された後、フォトレジスト膜332のパターンがバッファー回路領域321上に形成される。フォトレジスト膜332をマスクにしてシリコン酸化膜310がエッチングされ、シリコン酸化膜310aが形成される〔図9(D)〕。

【0064】次に、フォトレジスト膜332が除去され、全面に膜厚約100nmのチタン膜311がスパッタ法により堆積される〔図10(A)〕。

【0065】次に、不活性雰囲気で600°C-800°Cの熱処理が行なわれ、チタンシリサイド膜312bが形成される。未反応のチタン膜311はエッチング除去される。内部回路領域322に開口部を有するフォトレジスト膜334が形成され、これをマスクにした砒素のイオン注入により、第2のNチャネルMOSFETのN⁺型ソース・ドレイン拡散層313bが形成される〔図11(A)〕。

【0066】次に、フォトレジスト膜334が除去され、シリコン酸化膜310aがエッチング除去される。CVD法により、全面に膜厚1μm程度の層間絶縁膜314が形成される。層間絶縁膜314にはチタンシリサイド膜312b、N⁺型ソース・ドレイン拡散層313aに達するコンタクト孔315、315aが形成される〔図8(A)、(B)〕。コンタクト孔315aのため、本実施例では第1の実施例よりN⁺型ソース・ドレイン拡散層の面積が広くなる。

【0067】本実施例の製造方法は、NチャネルMOSFETの場合について述べてきたが、この製造方法はPチャネルMOSFETにも応用できる。さらに、C-MOSFET、Bi-CMOSFETにも応用できる。

【0068】本実施例を適用した半導体集積回路装置のESDに関して説明する。本実施例の適用例による半導体集積回路装置は、第1の実施例の適用例に準ずる。図11の測定による本実施例のESDの測定結果は、図12(A)、(B)における折線Bから明かなように、本実施例が第1の実施例よりさらにESD耐性を改善していることを示している。

【0069】

【発明の効果】以上説明したように本発明の半導体集積回路装置は、第1のMOSFETを含んで構成され外部装置に直接接続されるバッファー回路と第2のMOSFETを含む内部回路とからなる半導体集積回路装置において、第1のMOSFETのゲート電極および第2のMOSFETのゲート電極並びにソース・ドレイン拡散層が低抵抗化され、高速化された半導体集積回路装置となる。また、第1のMOSFETにおけるソース・ドレイン拡散層は、すくなくともゲート電極に隣接する領域が高抵抗であるため、この半導体集積回路装置のESD耐性は高くなる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を説明するための略平面図、略断面図であり、分図Bは分図AのXY線での略断面図である。

【図2】上記第1の実施例に係わる半導体集積回路装置の製造方法を説明するための工程順の略断面図である。

【図3】上記第1の実施例に係わる半導体集積回路装置の製造方法を説明するための工程順の略断面図である。

【図4】上記第1の実施例の第1の応用例を説明するための略断面図である。

【図5】上記第1の実施例の第2の応用例を説明するための略断面図である。

【図6】上記第1の実施例の第3の応用例を説明するための略断面図である。

【図7】本発明の第2の実施例を、その製造方法に沿って、説明するための工程順の略断面図である。

【図8】本発明の第3の実施例を説明するための略平面

面図である。

【図9】上記第3の実施例に係わる半導体集積回路装置の製造方法を説明するための工程順の略断面図である。

【図10】上記第3の実施例に係る半導体集積回路装置の製造方法を説明するための工程順の略断面図である。

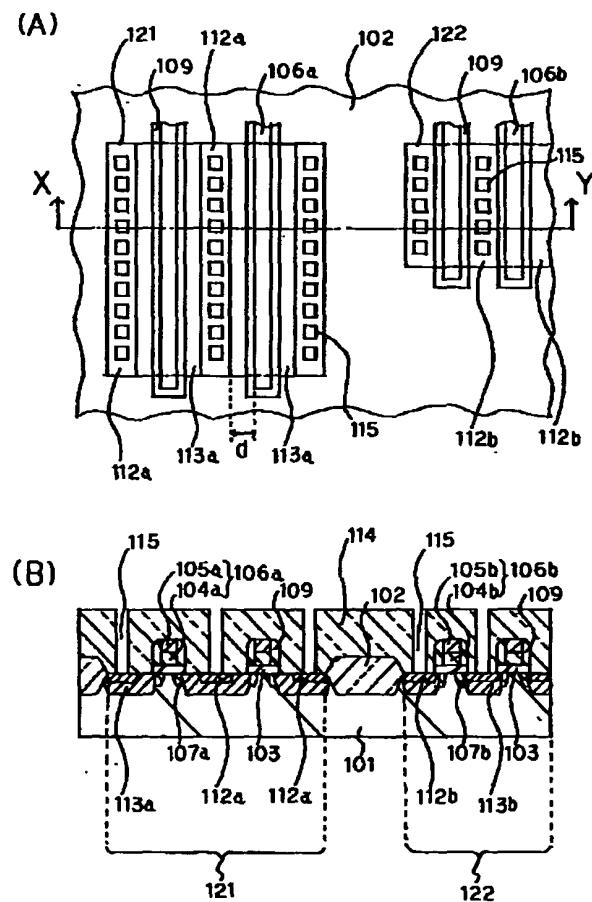
【図11】出力バッファー回路のESDの測定をそれぞれ説明するための模式的回路図である。

【図12】本発明の第1の実施例および第3の実施例の効果をそれぞれ説明するための図であり、本発明の第1の実施例および第3の実施例を適用した半導体集積回路装置における出力バッファーハウスのESDの測定結果を示すグラフである。

【符号の説明】

101, 201, 301 P型シリコン基板
 102, 202, 302 フィールド酸化膜
 103, 203, 303 ゲート酸化膜
 104, 104a, 104b, 204, 224, 224a, 224b, 304a, 304b 多結晶シリコン
 膜
 105, 105a, 105b, 305a, 305b

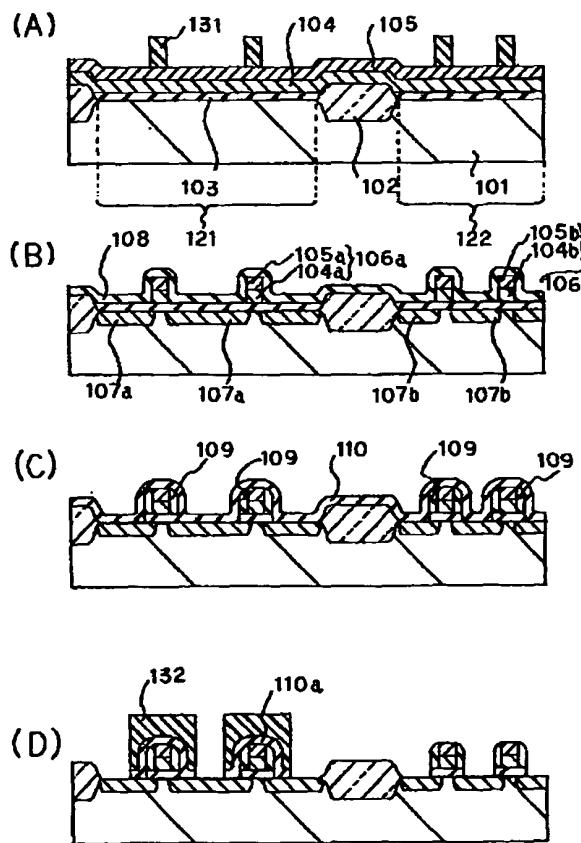
[図1]



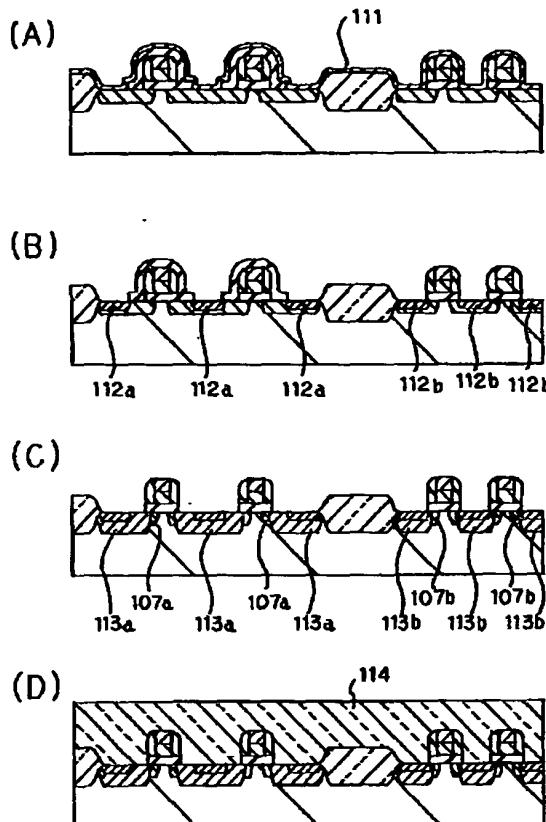
18

タングステンシリサイド膜
106a, 106b, 206a, 206b, 306a,
306b ゲート電極
107a, 107b, 107c, 107d, 207a,
207b, 307a, 307b N⁻型ソース・ドレ
イン拡散層
108, 110, 110a, 210, 218, 308,
310, 310a シリコン酸化膜
109, 209, 309 スペーサ
10 111, 216, 311 チタン膜
112a, 112b, 212a, 212b, 217, 2
17a, 217b, 312b チタンシリサイド膜
113a, 113b, 113c, 113d, 213a,
213b, 313a, 313b N⁺型ソース・ドレ
イン拡散層
114, 214, 314 層間絶縁膜
115, 215, 315, 315a コンタクト孔
121, 221, 321 バッファー領域
122, 222, 322 内部回路領域
20 131, 132, 231, 331, 332, 333, 3
34 フォトレジスト膜

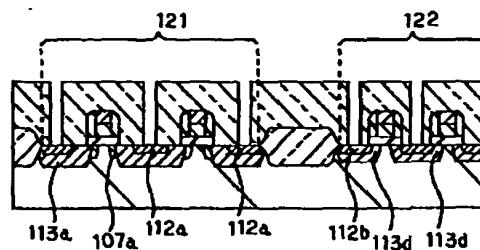
〔图2〕



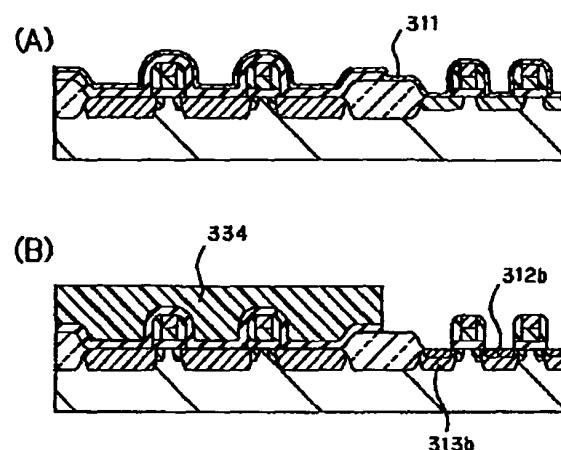
【図3】



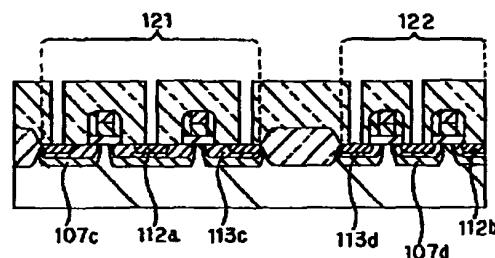
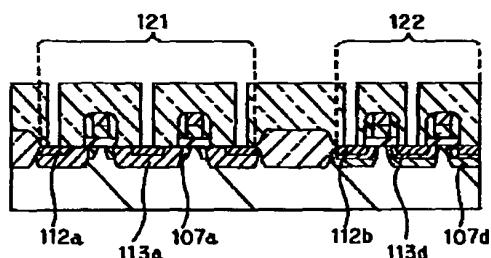
【図4】



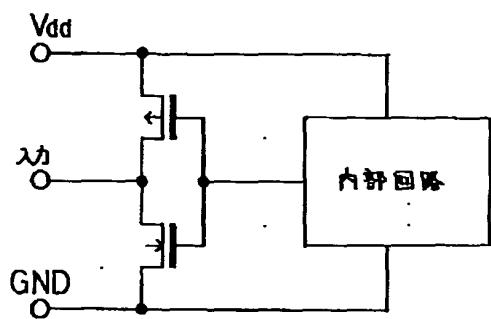
【図10】



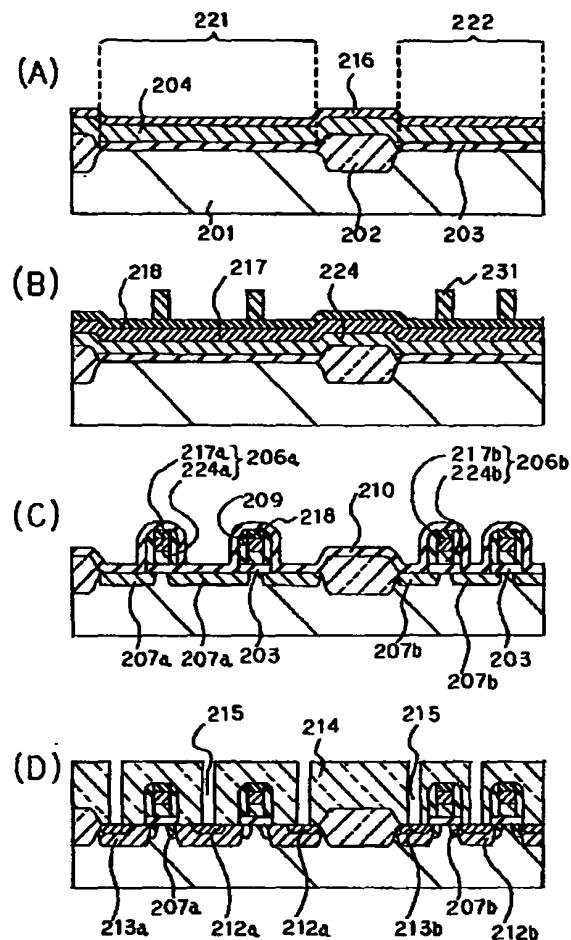
【図5】



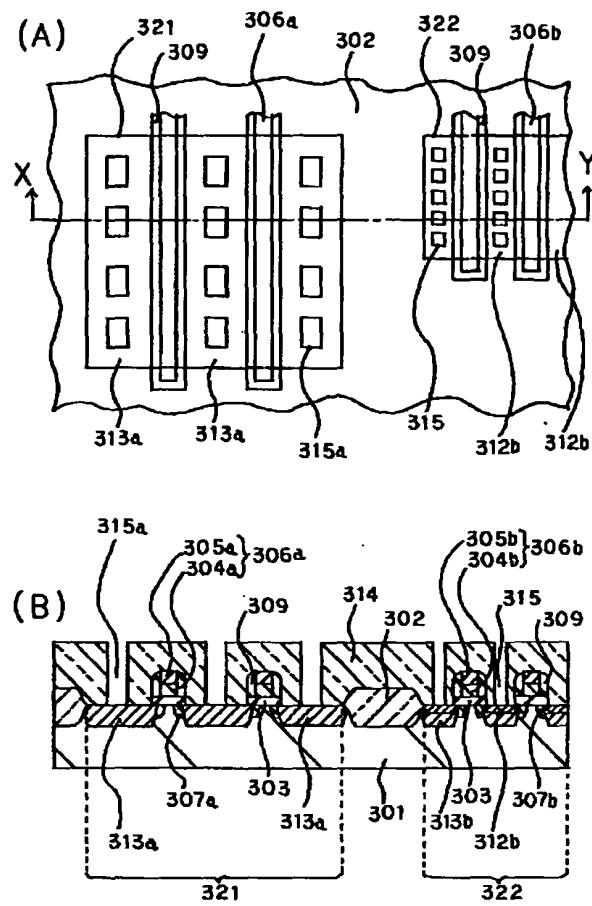
【図11】



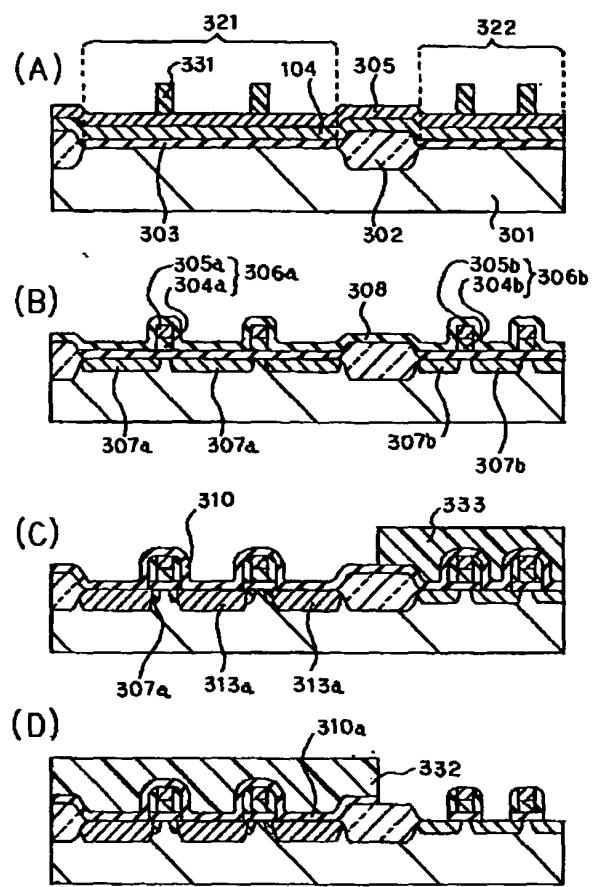
【図7】



【図8】



【図9】



【図12】

